

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-066638

(43)Date of publication of application : 16.03.2001

(51)Int.Cl.

G02F 1/1368

G09F 9/30

H01L 29/786

H01L 21/336

(21)Application number : 11-243990

(71)Applicant : SONY CORP

(22)Date of filing : 30.08.1999

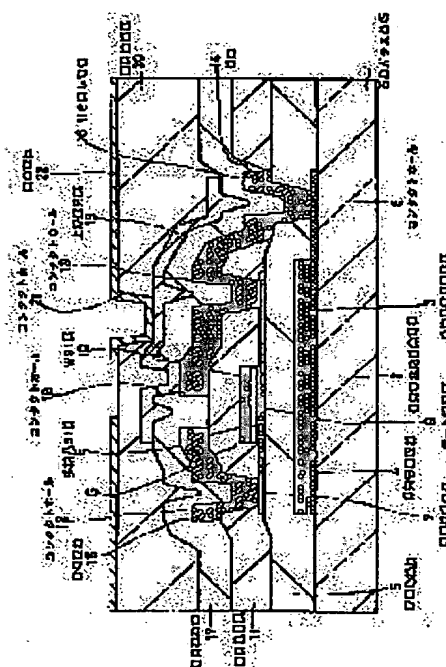
(72)Inventor : ABE FUMIAKI
SATO TAKUO

(54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize high transmittance and high definition by reducing an inter-pixel light shielding area while securing a holding capacitance area, in the liquid crystal display device.

SOLUTION: A pixel electrode 2 for holding capacitance, a dielectric film for holding capacitance 3, and holding capacitance wiring 4 forming a holding capacitance element are sequentially provided on an insulating transparent substrate 1. An interlayer insulating film 5 is provided so as to cover the holding capacitance element. A thin film semiconductor layer 7 having source/drain areas, a gate dielectric film 8, and a gate electrode formed of gate wiring G are provided on the interlayer insulating film 5, to form a thin film transistor(TFT) for driving a pixel electrode. A signal wiring 15 is connected with the source area of the thin film semiconductor layer 7, and a leading electrode 16 is connected to the drain area. The drain area of the thin film transistor layer 7 is connected to the pixel electrode 2 for holding capacitance via the leading electrode 16, and further connected to an upper layer light shielding film 19 and a pixel electrode 22.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(3)

3
体層1112が設けられ、この薄膜半導体層1112上にゲート誘電体1113が設けられている。このゲート誘電体1113上にはゲート配線1114が設けられている。図示は省略するが、薄膜半導体層1112中にはゲート配線114に対して自己整合的にソース領域およびドレイン領域が形成されている。ゲート配線114からなるゲート電極とこれらのソース領域およびドレイン領域とにより、画素電極駆動用の多結晶SiTFTが構成されている。ドレイン領域の上方の所定部分におけるゲート誘電体1113上には保持容量配線115が設けられている。この保持容量配線115とドレイン領域との間にゲート誘電体113を挟んだ構造により、保持容量素子が構成されている。

【0006】ゲート配線114および保持容量配線115を覆うように周回絶縁膜116が設けられている。この周回絶縁膜116およびゲート誘電体113の所定部分にはコンタクトホール117、118が設けられている。周回絶縁膜116上には、コンタクトホール117を通じて多結晶SiTFTのドレイン領域に接続されて引き出し電極119が設けられているとともに、コンタクトホール118を通じて多結晶SiTFTのソース領域に接続されて信号配線120が設けられている。これらに引き出し電極119および信号配線120を覆うように周回絶縁膜121が設けられている。引き出し電極119上の所定部分における周回絶縁膜121にはコンタクトホール122が設けられている。周回絶縁膜121上にはコンタクトホール122を通じて引き出し電極119と接続された上層透光膜123が設けられている。この上層透光膜123と引き出し電極119および信号配線120との重なり部分に、上方からの入射光に対して、画素開口領域以外の領域の全ての透光がなされている。上層透光膜123を覆うように周回絶縁膜124が設けられている。上層透光膜123上の所定部分におけるこの周回絶縁膜124にはコンタクトホール125が設けられている。周回絶縁膜124上には、コンタクトホール125を通じて上層透光膜123とコンタクトホール125を覆うように周回透光膜126が設けられている。この周回透光膜126が設けられている。

【0007】配向膜127上には液晶層128が設けられており、この液晶層128上に配向膜129および対向共通電極130が設けられている。また対向共通電極130上には、透明の対向電極用基板131が設けられている。

【0008】以上のように構成された液晶表示装置においては、TFTを構成する薄膜半導体層1112に接続された透明な画素電極126に印加する電圧によって、液晶層128中の液晶分子の配向を変え、表示を制御する。

【0009】また、表示領域には、信号配線、ゲート配

4
線、保持容量配線および薄膜トランジスタなどが設けられている。これらの配線およびトランジスタは、TFT基板中または対向基板中に設けた画素間透光領域内に配図される。この配図の一例を図11に示す。図11は、TFT基板の信号配線と上層透光膜とによって相補的に透光領域を形成している場合の平面レイアウトの一例である。

【0010】図11に示すように、従来の液晶表示装置においては、ゲート配線114と保持容量配線115とが互いにほぼ平行に設けられている。信号配線120がこれらのゲート配線114および保持容量配線115と垂直な方向に設けられている。引き出し電極119がゲート配線114と保持容量配線115とにまたがり、かつ信号配線120に重ならない領域に設けられている。上層透光膜123が隣接する2本の信号配線120にまたがり、この隣接する2本の信号配線120間の保持容量配線115、ゲート配線114および引き出し電極119を覆うような形状に設けられている。信号配線120と薄膜半導体層112との重なる部分の端部にコンタクトホール118が形成されている。保持容量配線115および信号配線120の下層には薄膜半導体層112が設けられている。保持容量配線115には、コンタクトホール117を避けた凹形状の部分に設けられたコンタクトホール117を通じて、薄膜半導体層112と引き出し電極119とが接続されている。また、引き出し電極119と上層透光膜123との重なる領域の部分に、これらを接続するためのコンタクトホール122が形成されている。また、上層透光膜119の保持容量配線115と重なる領域の部分に、これらを接続するためのコンタクトホール125が形成されている。

【0011】さて、上述のように構成された液晶表示装置は、近年、液晶プロジェクターのライトバルブとして多く用いられている。これとともに、表示においてさらなる高光透過率および高解像度が望まれている。これらの高光透過率および高解像化を実現するには、液晶表示装置における画素間透光領域の微小化が必要である。

【0012】
【発明が解決しようとする課題】しかしながら、図11に示すように、従来の液晶表示装置においては、トランジスタ、信号配線120、ゲート配線114および保持容量配線115などがそれぞれ面積を占有し、画素開口率を向上させる妨げになっていた。

【0013】したがって、この発明の目的は、保持容量面積を確保しつつ画素間透光領域を微小化させることができ、これによって、高光透過率で高解像化を達成することできる液晶表示装置およびその製造方法を提供することにある。

【0014】

【課題を解決するための手段】すなわち、上記目的を達

(4)

5
成するために、この発明の第1の発明は、基板上に、画素電極の駆動用の薄膜トランジスタと保持容量素子とが設けられた液晶表示装置において、保持容量素子が薄膜トランジスタを構成する薄膜半導体層の下層に設けられていることを特徴とするものである。

【0015】この第1の発明において、典型的には、保持容量配線は一定の電位に設定可能に構成されている。そして、この第1の発明において、典型的には、表示領域の外側の保持容量配線の両端部を接地し、電位を0Vの定電位に設定する。この定電位は、薄膜トランジスタのしきい値電圧 V_{th} に影響を与えない範囲であれば、対向共通電極や走査回路供給電線の電位などと同様の電位にしてもよい。

【0016】この第1の発明において、TFT基板の裏面から薄膜トランジスタに入射する光の低減を図るため、典型的には、保持容量配線は、平面的に薄膜トランジスタのチャネル形成領域と重なりつつ覆う領域に設けられており、典型的には、保持容量配線の配置領域は、平面的に薄膜トランジスタのチャネル形成領域に対して1.0 μ m程度の余裕を有して配置される。また、この第1の発明において、斜め方向からの入射光に対する透光性を向上させるために、典型的には、保持容量配線は、薄膜トランジスタのチャネル形成領域より大きい領域に配置され、好適には、薄膜トランジスタのチャネル形成領域に対して、この領域の外側に均等に0.5 μ m以上大きい領域とする。

【0017】この第1の発明において、典型的には、保持容量用画素電極は、薄膜トランジスタのチャネル形成領域に重なる領域で、かつチャネル形成領域よりも広い領域に設けられている。

【0018】この第1の発明において、誘電率と耐圧を向上させるために、典型的には、保持容量用誘電膜は、酸化シリコン膜、窒化シリコン膜、または酸化シリコン膜と窒化シリコン膜との積層膜から構成される。

【0019】この第1の発明において、保持容量素子における十分な保持容量 C_s を確保するために、典型的には、保持容量用誘電膜の厚さは5nm以上300nm以下であり、好適には、10nm以上100nm以下である。

【0020】この発明の第2の発明は、基板上に、画素電極の駆動用の薄膜トランジスタと保持容量素子とが設けられた液晶表示装置の製造方法において、基板上に保持容量素子を作成し、保持容量素子の上面に周回絶縁膜を介して薄膜トランジスタを形成するようにしたことを特徴とするものである。

【0021】この第2の発明において、典型的には、保持容量用画素電極上に周回絶縁膜を形成し、周回絶縁膜上に薄膜半導体層を形成し、薄膜半導体層上にゲート誘電膜を介してゲート配線を形成するようにする。そして、薄膜半導体層に形成されたソース/ドレイン領域

6
と、薄膜半導体層上にゲート誘電膜を介して形成されたゲート配線とにより、薄膜トランジスタが構成される。【0022】この第2の発明において、典型的には、ゲート配線を形成するとともに、薄膜トランジスタのソース/ドレイン領域と保持容量用画素電極とを接続する導電層を形成する。

【0023】この第2の発明において、典型的には、信号配線を形成するとともに、薄膜トランジスタのソース/ドレイン領域と保持容量用画素電極とを接続する導電層を形成する。

【0024】また、この発明において、薄膜トランジスタを構成する薄膜半導体層は、典型的には多結晶シリコン膜であるが、非晶質シリコン膜、単結晶シリコン膜、またはヒ化ガリウム(GaAs)などの化合物半導体をを用いることも可能である。

【0025】この発明において、典型的には、保持容量配線および保持容量用画素電極の少なくとも一方の材料は、タングステン、モリブデン、タンタル、クロム、チタン、ケイ化タングステン、ケイ化モリブデン、ケイ化タンタル、ケイ化クロム、ケイ化チタン、タングステン合金、モリブデン合金、タンタル合金、クロム合金、チタン合金、および不純物がドーパされた多結晶シリコン板、誘電膜、周回絶縁膜などの密着性を確保するため、不純物が導入された多結晶シリコンとの2層構造、または3層構造により構成してもよい。

【0026】また、この発明において、典型的には、ゲート配線は、タングステン膜、モリブデン膜、タンタル膜、クロム膜、チタン膜、ケイ化タンタル膜、ケイ化モリブデン膜、ケイ化タンタル膜、ケイ化クロム膜、ケイ化チタン膜、タングステン合金膜、モリブデン合金膜、タンタル合金膜、クロム合金膜、チタン合金膜、または不純物が導入されたシリコン膜から構成され、さらには、基膜、誘電膜、周回絶縁膜などの密着性を確保するために、不純物が導入された多結晶シリコンとの2層構造、または3層構造により構成してもよい。

【0027】上述のように構成されたこの発明による液晶表示装置およびその製造方法によれば、保持容量素子を薄膜トランジスタの下層に設けるようにしていることにより、保持容量素子のレイアウトにおける他の配線や電極による制約を低減することができるので、その設計自由度を向上させることができる。保持容量素子により平面的に占有される面積を低減することができる。

【0028】

【発明の実施の形態】以下、この発明の実施形態について図面を参照しながら説明する。なお、以下の実施形態の全図においては、同一または対応する部分には同一の符号を付す。

【0029】図1は、この発明の第1の実施形態による液晶表示装置のTFT基板の一例を示し、図2は、この

(5)

7

TFT基板の平面レイアウトの一例を示す。この液晶表示装置は例えばアクティブマトリクス型の液晶表示装置である。

【0030】図1に示すように、この液晶表示装置においては、透光領域における石英ガラス基板などの絶縁性透明基板11上に所定形状の保持容量用画素電極2が設けられている。この保持容量用画素電極2は、例えば厚みが50nmのWSi膜からなる。この保持容量用画素電極2上には保持容量用誘電体3が設けられている。この保持容量用誘電体3は例えば厚みが60nmのSiO₂膜からなる。この保持容量用誘電体3上には、表示領域を覆断するようにパターンニングされた保持容量配線4が設けられている。この保持容量配線4は例えば厚みが200nmのWSi膜からなる。この保持容量配線4と保持容量用画素電極2との間に保持容量用誘電体3を挟んだ構造により、保持容量素子が構成されている。

【0031】また、保持容量配線4を覆うように周回絶縁膜5が設けられている。この周回絶縁膜5は例えば厚みが600nmのノンドープシリケートガラス(NSG、珪酸ガラス)からなる。保持容量用画素電極2上の周回絶縁膜5の部分にはコンタクトホール6が設けられている。

【0032】周回絶縁膜5上に、所定形状の薄膜半導体層7が設けられている。この薄膜半導体層7は例えば厚みが75nmの多結晶Siからなる。図示は省略するが、薄膜半導体層7中にはLDD(Lightly Doped Drain)構造のソース領域およびドレイン領域が形成されている。この薄膜半導体層7上にゲート誘電体8が設けられている。ゲート誘電体8は例えば厚みが300nmのSiO₂膜からなる。このゲート誘電体8上にはゲート配線Gが設けられている。ゲート配線Gは、例えば厚みが100nmのリン(P)などの不純物が高温でドーパされた多結晶Si膜9および例えば厚みが100nmのWSi膜10が順次積層された積層膜からなる。このゲート配線Gから構成されるゲート電極とLDD構造のソース領域およびドレイン領域とにより、画素電極駆動用の多結晶Si TFTが構成されている。

【0033】また、薄膜半導体層7およびゲート配線Gを覆うように周回絶縁膜11が設けられている。この周回絶縁膜11およびゲート誘電体8の所定部分にコンタクトホール12、13が形成されているとともに、コンタクトホール6上の周回絶縁膜11の部分に開口14が設けられている。また、透光領域における周回絶縁膜11上に、コンタクトホール12を通じて多結晶Si TFTのソース領域に接続された信号配線15が設けられている。また、周回絶縁膜11上に、コンタクトホール13を通じて多結晶Si TFTのドレイン領域に接続された引き出し電極16が設けられ、この引き出し電極16が開口14およびコンタクトホール6を通じて保持容量用画素電極2に接続されている。これらの信号配線15および

(6)

9

分とが設けられている。そして、引き出し電極16とが重ならぬ領域における保持容量配線4の凹形状の領域に設けられたコンタクトホール6を通じて、引き出し電極16と保持容量用画素電極2とが接続されている。

【0039】薄膜半導体層7は、ゲート配線Gに重なる部分と保持容量配線4に重なる部分とにおいてL字型に設けられている。薄膜半導体層7の領域の信号配線15と重なる領域の一端にはコンタクトホール12が形成されている。このコンタクトホール12を通じて、薄膜半導体層7と信号配線15とが接続されている。薄膜半導体層7の領域における引き出し電極16と重なる領域の他端にはコンタクトホール13が形成されており、薄膜半導体層7と引き出し電極16とがこのコンタクトホール13を通じて接続されている。

【0040】図2Bは、画素電極22の形成後におけるTFT基板の平面レイアウトを示す。図2Bに示すように、互いに平行な線状の信号配線15間をまたがり、引き出し電極16を重なる、上層透光膜19が設けられている。上層透光膜19と引き出し電極16との重なった領域の部分にコンタクトホール18が形成されている。このコンタクトホール18を通じて、上層透光膜19と引き出し電極16とが互いに接続されている。画素電極22は、信号配線15の部分と上層透光膜19の部分とに重ならない部分を覆うようにして設けられている。画素電極22と上層透光膜19との重なった領域にコンタクトホール21が形成されている。このコンタクトホール21を通じて、上層透光膜19と画素電極22とが接続されている。

【0041】次に、上述のように構成されたこの第1の実施形態による液晶表示装置の製造方法の一例について説明する。

【0042】まず、図1に示すように、絶縁性透明基板11上に、例えばCVD法により、WSi膜を形成した後、この膜を各画素ごとの島状にパターンニングすることにより保持容量用画素電極2を形成する。次に、例えばCVD法により保持容量用画素電極2上にSiO₂膜からなる保持容量用誘電体3を形成する。この保持容量用誘電体3の形成における加熱温度は例えば800°Cである。次に、例えばCVD法により、全面にWSi膜を形成した後、この膜を表示領域を覆断するようにパターンニングすることにより保持容量配線4を形成する。次に、全面に、例えば常圧化学気相成長(AP-CVD)法によりNSG膜を成膜することによって、周回絶縁膜5を形成する。

【0043】次に、例えば減圧化学気相成長(LP-CVD)法により周回絶縁膜5上に薄膜Si膜を形成し、例えば熱処理を行うことによって結晶粒を成長させた後、この薄膜Si膜をパターンニングすることにより、多結晶Siからなる薄膜半導体層7を形成する。次に、

10

薄膜半導体層7表面を酸化した後、全面に例えばホウ素(B)などのp型不純物を低温にイオン注入する。【0044】次に、例えばCVD法により薄膜半導体層7上にSiO₂膜を成膜することにより、ゲート誘電体8を形成する。

【0045】次に、例えばLP-CVD法によりゲート誘電体8上に多結晶Si膜9を形成した後、例えばPOCl₃ガス中において熱処理を行うことにより、pチャネルSi膜9中にPを拡散させ、低比抵抗化させる。次に、この多結晶Si膜9上に、例えばCVD法によりWSi膜10を形成する。その後、この多結晶Si膜9およびWSi膜10からなる積層膜をゲート配線形状にパターンニングすることにより、ゲート配線Gを形成する。

【0046】次に、全面にn型不純物のPを低温でイオン注入する。次に、リングラフィエ工程によりレジストパターン(図示せず)を形成することによって、pチャネルMOSTランジスタの形成領域と、nチャネルMOSTランジスタの形成領域におけるLDD形成部とをマスクした後、例えばAsなどのn型不純物を高温でイオン注入することにより、薄膜トランジスタを始めとするnチャネルMOSTランジスタにおいて、LDD構造を有するソース/ドレイン領域が形成される。その後、レジストパターンを除去する。

【0047】次に、リングラフィエ工程によりレジストパターン(図示せず)を形成することによって、薄膜トランジスタおよび回路内のnチャネルMOSTランジスタの形成領域をマスクした後、例えばBなどのp型不純物を高温でイオン注入し、回路内のpチャネルMOSTランジスタを形成する。

【0048】次に、O₃ガスとTEOSガスを用いたCVD法により、全面にPSG膜を成膜することにより、周回絶縁膜11を形成する。その後、高温で熱処理を行うことにより、ソース領域およびドレイン領域のイオン注入領域の結晶性を回復させ、不純物を活性化させる。

【0049】次に、表示領域の左右端の保持容量配線4の部分と、コンタクトホール6の形成領域とに開口を有するレジストパターンを形成した後、例えばウェットエッチング法により周回絶縁膜11をエッチングする。これにより、開口14が形成される。

【0050】次に、リングラフィエ工程により、表示領域の左右端の保持容量配線4の部分と、コンタクトホール6、12、13の形成領域に開口を有するレジストパターンを形成する。次に、このレジストパターンをマスクとして、例えばドライエッチング法によりエッチングを行う。これにより、薄膜半導体層7上の周回絶縁膜11の部分にコンタクトホール12、13が形成されるとともに、保持容量用画素電極2上の周回絶縁膜5の部分にコンタクトホール6が形成される。また、図示省略したゲート配線Gおよびゲート配線Gおよび回路外の回路

(7)

11

の部分に所定のコンタクトホールが形成される。その後、レジストパターンを除去する。

【0051】次に、例えばスパッタリング法により、全面に、Siを1%含むAl合金（Al-Si合金）膜を形成する。次に、リングラフィエ工程により、信号配線15および引き出し電極16の形成領域上と、回路内配線5およびパッド（いずれも図示せず）の形成領域上とにレジストパターン（図示せず）を形成する。次に、このレジストパターンをマスクとして、例えばドライエッチング法によりAl合金膜をパターンニングする。これにより、信号配線15および引き出し電極16を形成するとともに、パッドおよび回路内配線を形成する。なお、これらの配線や電極は、Al-Cu合金などのAl合金や、Si-Cu合金、Al-Cu合金などのAl合金や、Cu合金を用いてもよく、さらに、これらのAl合金やCu合金の下層もしくは上層に、Ti、TiN、TiON、WSiなどのバリアメタルを設けた多層構造としてもよい。

【0052】次に、例えばO₃ガスとTEOSガスをを用いたCVD法により、全面にPSG膜を形成することにより、回路内配線17を形成する。次に、回路内配線17上にコンタクトホール18およびパッドの形成領域に開口を有するレジストパターン（図示せず）を形成する。その後、このレジストパターンをマスクとして、例えばドライエッチング法により、回路内配線17を、引き出し電極16の表面が露出するまでエッチングする。これにより、パッドに接続するためのコンタクトホールが形成されるとともに、引き出し電極16上にコンタクトホール13が形成される。その後、レジストパターンを除去する。

【0053】次に、例えばスパッタリング法により全面にTi膜を形成した後、リングラフィエ工程およびエッチング工程によりこのTi膜を所定形状にパターンニングすることによって、上層電極19を形成する。

【0054】次に、例えばTEOSガスを用いたプラズマCVD法により、NSG膜を形成することによって、回路内配線20を形成する。

【0055】次に、リングラフィエ工程により、回路内配線20上にコンタクトホール21の形成領域とパッドの形成領域とに開口を有するレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして、例えばドライエッチング法により回路内配線20をエッチングする。これによって、コンタクトホール21が形成されるとともに、パッド表面が露出する。その後、レジストパターンを除去する。

【0056】次に、Hを4%含むN₂ガス中において熱処理を行うことにより、トランジスタ特性を向上させる。

【0057】次に、例えばスパッタリング法により全面にITO膜を形成した後、このITO膜をパターンニング

12

することにより、透明の画素電極22を形成する。

【0058】その後、画素電極22上に配向膜を形成して、TFT基板を製造した後、従来公知の方法にしたがってプロセスを進め、目的とする液晶表示装置を完成させる。

【0059】以上説明したように、この第1の実施形態によれば、薄膜トランジスタを構成する薄膜半導体層7の下層に保持容量配線4、保持容量用誘電体層3および保持容量用画素電極2から構成される保持容量素子を設けていることにより、保持容量配線4および保持容量用画素電極3が、平面的にTFTのゲート配線Gなどの他の素子と、表示画素を向上させることができる。また、保持容量配線4を、薄膜トランジスタのチャネル形成領域に対して、平面的に1.0μm以上の余裕を有し、各方向に0.5μm以上の幅を有する領域に配置されていることにより、TFT基板の表面側からの光入射に対して、保持容量用画素電極2および保持容量配線4がTFTに対する遮光膜として働き、斜め方向から薄膜トランジスタに入射する光を低減することができる。また、液晶に起因した画質の劣化を防止することができる。表示画素のさらなる向上を図ることができる。したがって、画素電極面積を低減しつつ表示画素の向上を図ることができる。また、液晶表示装置における高光透過率および高解像度を実現することができる。

【0060】次に、この発明の第2の実施形態による液晶表示装置について説明する。図3はこの第2の実施形態による液晶表示装置のTFT基板の一例を示す。

【0061】図3に示すように、この第2の実施形態による液晶表示装置においては、第1の実施形態と異なり、回路内配線17上にその表面が平坦化された回路内配線31が設けられている。引き出し電極16上の回路内配線31、17の部分にコンタクトホール32が設けられており、コンタクトホール32を通じて引き出し電極16と上層電極19とが接続されている。回路内配線31上に上層電極19を覆うように回路内配線31が設けられている。上層電極19上の回路内配線31の部分にはコンタクトホール34が設けられている。回路内配線33上には画素電極22が設けられており、コンタクトホール34を通じて、画素電極22と上層電極19とが接続されている。その他の構成については、第1の実施形態と同様であるので説明を省略する。

【0062】以上のように構成された液晶表示装置の製造方法においては、まず、第1の実施形態におけるようにして回路内配線17の形成まで行う。次に、第1の

(8)

13

実施形態とは異なり、回路内配線17上に回路内配線31を形成する。次に、例えばCMP法により回路内配線31表面を平坦化する。次に、リングラフィエ工程およびエッチング工程により、引き出し電極16上の回路内配線17、31の部分にコンタクトホール32を形成する。次に、例えばスパッタリング法により全面にTi膜を形成した後、このTi膜をパターンニングすることにより、上層電極19を形成する。次に、例えばCVD法により、上層電極19を覆うようにして回路内配線31上に回路内配線33を形成する。次に、上層電極19上の回路内配線33の部分にコンタクトホール34を形成する。その後、例えばスパッタリング法により全面にITO膜を形成した後、このITO膜を所定形状にパターンニングすることにより、所定形状の画素電極22を形成する。液晶表示装置の製造方法におけるその他のプロセスについては第1の実施形態におけると同様であるので、説明を省略する。

【0063】この第2の実施形態によれば、薄膜半導体層7の下層に保持容量素子を設けるようにしていることにより、第1の実施形態と同様の効果を得ることができる。また、平坦化された回路内配線31上に上層電極19を設けるようにしていることにより、上層電極19のキャパシタンスを改善することができる。対向基板側からの入射光を低減することができる。また、回路内配線15と上層電極19との間の寄生容量を低減することができる。したがって、この液晶表示装置における表示画素のさらなる向上を図ることができる。

【0064】次に、この発明の第3の実施形態による液晶表示装置について説明する。図4はこの第3の実施形態による液晶表示装置のTFT基板の一例を示す。

【0065】図4に示すように、この第3の実施形態による液晶表示装置においては、第1の実施形態とは異なり、信号配線15および引き出し電極16を、Siを1%含むAl合金41a上に例えばTiN膜41bを設けた2層構造とする。そして、これらの信号配線15および引き出し電極16を覆うように回路内配線17が設けられている。また、回路内配線17上には上層電極16が設けられており、その表面が平坦化された回路内配線42が設けられている。引き出し電極16上の回路内配線17、42の部分にコンタクトホール43が設けられている。回路内配線42上に画素電極22が設けられている。画素電極22と引き出し電極16とはコンタクトホール43を通じて接続されている。また、図示は省略するが、第1の実施形態におけるTFT基板の上層電極19に対応する画素電極領域は、TFT基板の上方の液晶層を介した対向基板中に設けられている。液晶表示装置のその他の構成については第1の実施形態におけると同様であるので、説明を省略する。

【0066】以上のように構成された第3の実施形態による液晶表示装置の製造方法においては、まず、第1の

14

実施形態におけると同様にして回路内配線11の形成まで行う。その後、開口14およびコンタクトホール6、12、13を順次形成する。次に、例えばスパッタリング法により、全面にSiを1%含むAl合金41aを形成した後、Al合金膜41a上にTiN膜41bを形成する。次に、このTiN膜41bおよびAl合金膜41aからなる複層膜を所定形状にパターンニングすることにより、信号配線15および引き出し電極16を形成する。次に、これらの信号配線15および引き出し電極16を覆うようにして、全面に回路内配線17を形成する。次に、例えばCVD法により、回路内配線17上に回路内配線42を形成する。その後、例えばCMP法によりその表面を研磨することにより平坦化する。次に、リングラフィエ工程およびエッチング工程により、引き出し電極16上の回路内配線17、42の部分に、TiN膜41bの表面が露出するまでエッチングすることにより、コンタクトホール43を形成する。次に、回路内配線42上の全面に、例えばスパッタリング法により、コンタクトホール43を通じて引き出し電極16と電気的に接続するようにして、例えばITO膜を形成する。その後、このITO膜を所定形状にパターンニングすることにより、画素電極22を形成する。液晶表示装置の製造方法におけるその他のプロセスについては、第1の実施形態におけると同様であるので、説明を省略する。

【0067】また、この第3の実施形態の他の例として、薄膜半導体層7上の回路内配線11、17、42の部分にコンタクトホール（図示せず）を設け、このコンタクトホールを通じて画素電極22と薄膜半導体層7とを直接接続することも可能である。

【0068】この第3の実施形態によれば、薄膜半導体層7の下層に保持容量素子を設けることにより、第1の実施形態と同様の効果を得ることができる。また、TFT基板中に上層電極19を設けないようにし、引き出し電極16と画素電極22とを直接接続しているが、引き出し電極16をSiを1%含むAl合金41a上にTiN膜41bを設けた2層構造としていることにより、引き出し電極16と画素電極22との間で良好な電気的接続を確保することができる。

【0069】次に、この発明の第4の実施形態による液晶表示装置の一例について説明する。図5はこの第4の実施形態による液晶表示装置のTFT基板の一例を示す。

【0070】図5に示すように、この第4の実施形態による液晶表示装置においては、第1の実施形態とは異なり、回路内配線11上に所定形状の保持容量配線4が設けられている。保持容量配線4上には保持容量用誘電体3を介して保持容量用画素電極2が設けられている。保持容量用画素電極2上の回路内配線5の部分にコンタクトホール6が設けられている。このコンタクトホール6を通じて保持容量用画素電極2と引き出し電極16と

(9)

15

が電気的に接続されている。液晶表示装置におけるその他の構成に関しては第1の実施形態におけると同様であるので説明を省略する。

[0071] 以上のように構成された液晶表示装置の製造方法においては、まず、第1の実施形態と異なり、例えばCVD法により、絶縁性ガラス基板上に例えば厚が200nmのWSi膜、例えば厚が60nmのSi₁₀₂膜および厚が50nmのWSi膜を順次形成する。次に、リングラファイエングおよびエッチング工程により、このWSi/SiO₂/WSi膜からなる膜層をパターンニングすることにより、保持容量用画素電極2、保持容量用誘電膜3、保持容量配線4を形成し、これらからなる保持容量素子を形成する。液晶表示装置の製造方法におけるその他のプロセスに関しては、第1の実施形態におけると同様であるので、説明を省略する。

[0072] この第4の実施形態によれば、薄膜半導体層7の下層に保持容量素子を設けるようにしていることにより、第1の実施形態と同様の効果を得ることができる。また、保持容量用画素電極2の下層に保持容量配線4を設けて、第1の実施形態における保持容量素子と側面構造を反対にしていることにより、コンタクトホール6の形成領域を確保するために、保持容量配線4の一部を除去する必要がある。これにより、保持容量素子の保持容量面積を増加させることができるので、その保持容量C_sを増加させることができる。

[0073] 次に、この発明の第5の実施形態による液晶表示装置について説明する。図6はこの第5の実施形態による液晶表示装置のTFT基板の一例を示す。

[0074] 図6に示すように、この第5の実施形態による液晶表示装置においては、第1の実施形態と異なり、側面構造5に形成されたコンタクトホール6を通じて、保持容量用画素電極2に接続された引き出し電極61が、ゲート電極Gと同様の構造、すなわち多結晶Si膜9とWSi膜10との積層膜から構成されている。この引き出し電極61の一端部は薄膜半導体層7のドレイン領域の一部分に接続されている。これにより、薄膜トランジスタのドレイン領域と保持容量用画素電極2とが電気的に接続されている。また、側面構造5に形成されたコンタクトホール6を通じて、薄膜半導体層7のドレイン領域に、例えばSiを1%含むAl合金膜からなる電極62が接続されている。液晶表示装置におけるその他の構成に関しては、第1の実施形態におけると同様であるので説明を省略する。

[0075] 以上のように構成された液晶表示装置の製造方法においては、まず、第1の実施形態と同様に薄膜半導体層7上のゲート誘電膜8の形成まで行う。次に、第1の実施形態と異なり、リングラファイエングおよびエッチング工程により、保持容量用画素電極2上の側面構造5の一部分にコンタクトホール6を形成する。次に、例えば三フッ化塩素(ClF₃)ガスをエッチングガスと

16

に、例えばLP-CVD法により、全面にPがドーパされた多結晶Si膜9とWSi膜10とを順次成長させることにより、側面構造5を形成する。次に、この側面構造5をゲート配線Gの形状、および平面的に薄膜半導体層7のドレイン領域に重なりつつ、コンタクトホール6を通じて保持容量用画素電極2に接続可能な形状にパターンニングする。これにより、多結晶Si膜9とWSi膜10との積層膜からなるゲート配線Gおよび引き出し電極61が形成される。その後、これらのゲート配線Gおよび引き出し電極61を覆うように側面構造5に形成し、側面構造5の一部分にコンタクトホール6を形成する。次に、スパッタリング法によりSiを1%含むAl合金膜を形成した後、このAl合金膜をゲート配線5および電極62の形状にパターンニングする。これにより、コンタクトホール6を通じて薄膜半導体層7のソース領域に接続される信号配線15が形成されるとともに、薄膜半導体層7のドレイン領域に接続される電極62が形成される。次に、O₃ガスとTEOSガスをを用いたCVD法により、全面にPSGからなる側面構造5を形成する。この液晶表示装置の製造方法におけるその他のプロセスに関しては、第1の実施形態におけると同様であるので、説明を省略する。

[0076] この第5の実施形態によれば、薄膜半導体層7の下層に保持容量素子を設けるようにしていることにより、第1の実施形態と同様の効果を得ることができる。

[0077] 次に、この発明の第6の実施形態による液晶表示装置について説明する。図7はこの第6の実施形態による液晶表示装置のTFT基板の一例を示す。

[0078] この第6の実施形態による液晶表示装置においては、第5の実施形態と異なり、保持容量用画素電極2上の側面構造5の一部分に形成されたコンタクトホール6の内部に、例えばWからなるコンタクトプラグ71が埋め込まれている。側面構造5上にコンタクトプラグ71と接続され、多結晶Si膜9およびWSi膜10を順次積層した側面構造5から引き出し電極72が設けられている。これによって、保持容量用画素電極2と引き出し電極72とが、コンタクトプラグ71を通じて電気的に接続されている。液晶表示装置におけるその他の構成に関しては、第5の実施形態におけると同様であるので説明を省略する。

[0079] 以上のように構成された液晶表示装置の製造方法においては、まず、第1の実施形態と同様に側面構造5の形成まで行う。次に、第1の実施形態と異なり、リングラファイエングおよびエッチング工程により、保持容量用画素電極2上の側面構造5の一部分にコンタクトホール6を形成する。次に、例えばブラジレットW-CVD法により、コンタクトホール6の内部に埋め込むようにして、全面にW膜を形成する。次に、例えば三フッ化塩素(ClF₃)ガスをエッチングガスと

(10)

17

して、W膜のエッチバックを行う。これにより、コンタクトホール6の内部にWからなるコンタクトプラグ71が埋め込まれる。次に、第1の実施形態と同様に、薄膜半導体層7およびゲート誘電膜8を順次形成する。次に、例えばLP-CVD法により、全面にPがドーパされた多結晶Si膜9とWSi膜10とを順次成長させる。これにより、側面構造5を形成する。次に、この側面構造5をゲート配線Gの形状、およびコンタクトプラグ71に接続しつつ、一端部が薄膜半導体層7に重なるような形状にパターンニングする。これにより、多結晶Si膜9とWSi膜10との積層膜からなるゲート配線Gおよび引き出し電極72が形成される。その後、これらのゲート配線Gおよび引き出し電極72を覆うように側面構造5を形成する。この液晶表示装置の製造方法におけるその他のプロセスに関しては、第1の実施形態におけると同様であるので、説明を省略する。

[0080] この第6の実施形態によれば、薄膜半導体層7の下層に保持容量素子を設けるようにしていることにより、第1の実施形態および第5の実施形態と同様の効果を得ることができる。また、引き出し電極72と保持容量用画素電極2とをコンタクトプラグ71を介して接続するようにしていることにより、引き出し電極72のカバレッジを改善することができる。

[0081] 次に、この発明の第7の実施形態による液晶表示装置について説明する。図8はこの第7の実施形態による液晶表示装置の平面レイアウトの一例を示す。

[0082] 図8に示すように、この第7の実施形態による液晶表示装置においては、第1の実施形態と異なり、保持容量配線4(図8中、斜線部)を、信号配線15に重なる領域で、信号配線15の長手方向に延ばさせて設けるようにする。すなわち、保持容量配線4は、信号配線15および引き出し電極16の下層かつ重なる領域で、それらの形状に付随して設けられている。この第7の実施形態による液晶表示装置の構成およびその製造方法に関しては第1の実施形態におけると同様であるので、説明を省略する。

[0083] この第7の実施形態によれば、第1の実施形態と同様の効果を得ることができる。また、保持容量配線4を、信号配線15の下層で形状、すなわち格子、信号配線15の長手方向に延ばした形状、すなわち格子状に形成することにより、保持容量面積を増加させることができるので、より信頼性の高い液晶表示装置を得ることができる。

[0084] 以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的着想に基づき各種の変形が可能である。

[0085] 例えば、上述の実施形態において挙げた数値、構造、形状、材料、プロセスなどはあくまでも例に過ぎず、必要に応じてこれと異なる数値、構造、形状、

18

材料、プロセスなどを用いてよい。

[0086] また、上述の第1の実施形態においては、保持容量用誘電膜3として、SiO₂膜を用いているが、保持容量用誘電膜3として、SiN膜や、SiO₂/SiN/SiO₂膜などを用いることも可能である。

[0087] また、上述の第1の実施形態においては、保持容量用画素電極2および保持容量配線4としてWSi膜を用いているが、これらの保持容量用画素電極2および保持容量配線4として、不純物をドーパした多結晶Si膜を用いることも可能である。また、ゲート配線Gを多結晶Si膜9上にWSi膜10を設けた側面構造として、Mo膜、Ta膜、Cr膜およびTi膜を用いることができる。また、これらのシリサイド膜や合金膜を用いることも可能である。

[0088]

[発明の効果] 以上説明したように、この発明によれば、保持容量素子を、薄膜トランジスタを構成する薄膜半導体層の下層に設けるようにしていることにより、保持容量素子の設計自由度を向上させることができる。保持容量面積を確保しつつ側面構造領域を縮小させることができ、これによって、高光速度で動作可能な液晶表示装置を得ることができる。

[図面の簡単な説明]

[図1] この発明の第1の実施形態による液晶表示装置のTFT基板を示す断面図である。

[図2] この発明の第1の実施形態による液晶表示装置のTFT基板における平面レイアウトを示す平面図である。

[図3] この発明の第2の実施形態による液晶表示装置のTFT基板を示す断面図である。

[図4] この発明の第3の実施形態による液晶表示装置のTFT基板を示す断面図である。

[図5] この発明の第4の実施形態による液晶表示装置のTFT基板を示す断面図である。

[図6] この発明の第5の実施形態による液晶表示装置のTFT基板を示す断面図である。

[図7] この発明の第6の実施形態による液晶表示装置のTFT基板を示す断面図である。

[図8] この発明の第7の実施形態による液晶表示装置のTFT基板における平面レイアウトを示す平面図である。

[図9] 従来技術による液晶表示装置を示すブロック図である。

[図10] 従来技術による液晶表示装置を示す断面図である。

[図11] 従来技術による液晶表示装置の平面レイアウトを示す平面図である。

[符号の説明]

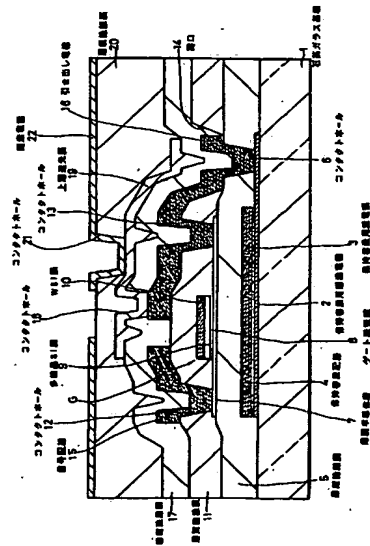
1・・・絶縁性透明基板、2・・・保持容量用画素電

(11)

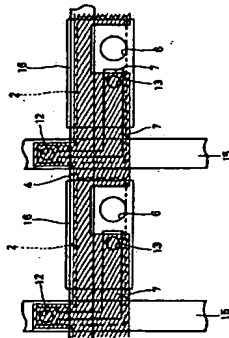
19

20

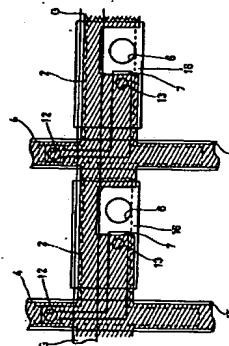
炬、3・・・保持容量用電磁、4・・・保持容量配
 線、6、12、13、18、21、32、34、43・・・
 ・コンタクトホール、7・・・薄膜半導体層、16、
 22・・・画素電極、G・・・ゲート配線
 61、72・・・引き出し電極、19・・・上層遮光



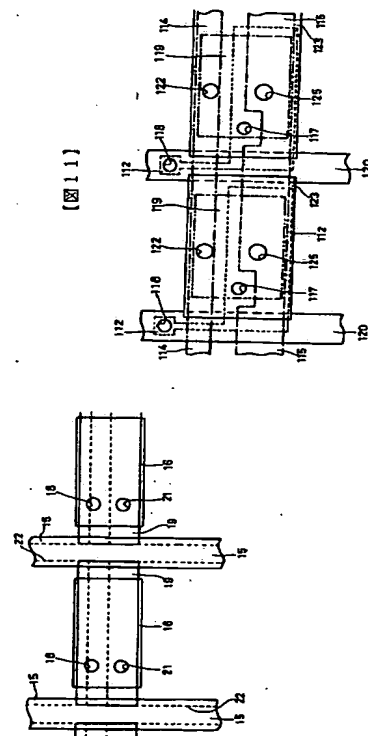
【☒2】



【8】

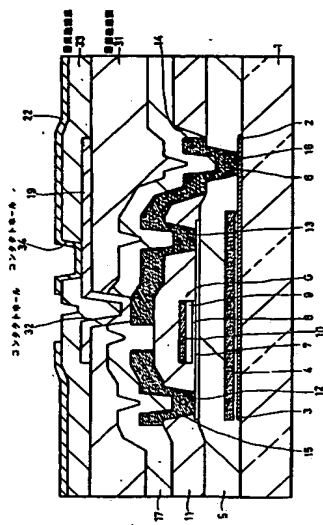


【111】

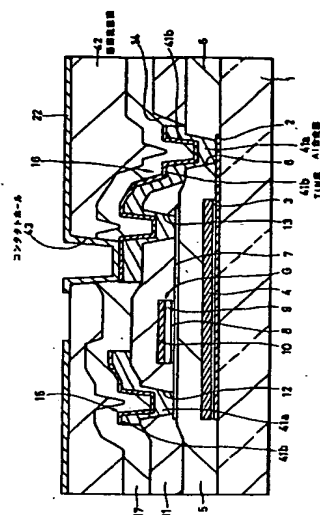


(12)

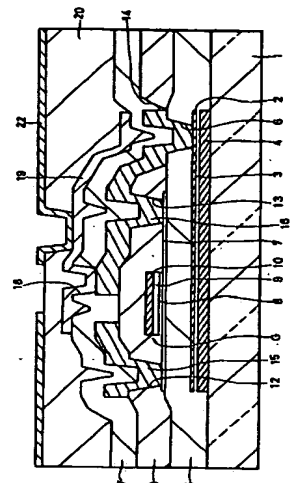
【例3】



【图4】

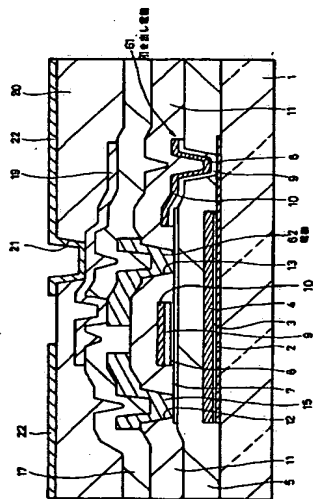


【5】

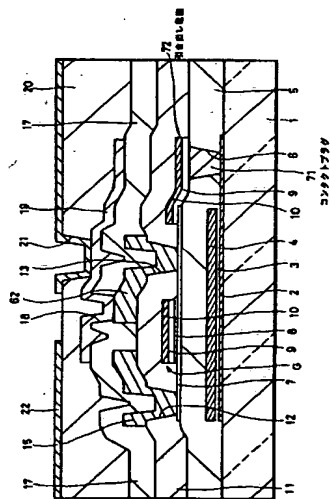


(13)

【図6】

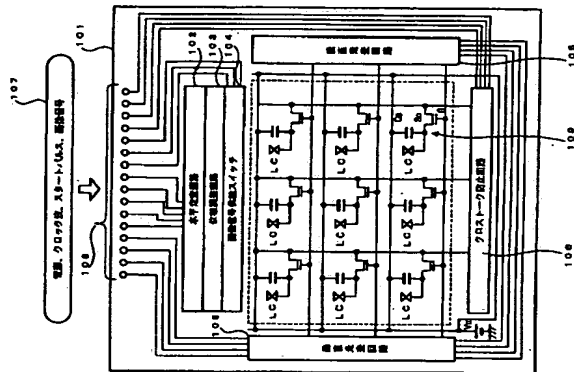


【図7】

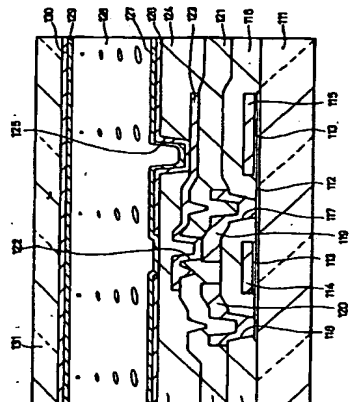


(14)

【図9】



【図10】



フロントページの続き

Fターム(参考) 2E092 JA26 JB66 JA03 KA04
 KA05 KA07 KA08 KA18 KA22
 KB04 KB13 KB25 KA05 MA07
 MA13 MA18 NA07
 SC094 AA05 AA10 BA03 BA43 CA19
 DA15 EA04 FB19 JA08
 SF110 AA30 BB01 CC02 DD03 DD11
 DD24 DD30 EE04 EE05 EE09
 EE14 EE15 EE45 FF02 FF29
 GG02 GG04 GG12 GG13 GG15
 GG32 GG47 GG52 HJ01 HJ13
 HL06 HL09 HL11 HL23 HM15
 HN18 NN22 NN25 NN35 NN46
 NN54 NN55 NN72 NN73 NN77
 QQ19